# **Getting Started Warp & Active HDL**

## חוברת הדרכה למתחיל

Written by: Dr. Eli Flaxer 希

מהדורה ראשונה

2003

Copyright © 2003 by Dr. Flaxer Eli. All rights reserved. No part of this publication may be reproduced or distributed in any form or by any means, or stored in a database or retrieval system, without the prior written permission of the writer.

## <u>הקדמה</u>

בקורס שפות חומרה הסטודנט יתרגל חלק משעות הקורס במעבדה. כלי הפיתוח בהם יעשה שימוש במעבדה הם מתוצרת חברת CYPRESS וכוללים:

- . עורך טקסט Galaxy.
- . סינתיסייזר WARP. 2.
- .Active HDL אימולטור.3

לפני התחלת העבודה יש להתקין את התוכנות במחשב (במעבדה התוכנה כבר מותקנת) מתקליטור ההתקנה. הכנס את התקליטור לכונן, והמתן לקבלת מסך של התחלה אוטומטית. בחר מתקליטור המתקליטור המסך המופיע (Install Products), בכדי לקבל את המסך המופיע למטה. במסך זה בחר את האופציה CPLD ומתוכה בחר WARP. המשך בהליך של התקנה מלאה והתקן את כל האופציות. לסיום בצע העלה מחדש של המחשב (Restart). אם התהליך פעל כשורה, בתפריט התחל עליך למצוא, תחת CYPRESS את התוכנות.

D Cypress Lab	
Install P	roducts
CPLD Warp® USB Warp® En Clocks ISR Progra	Please choose a product Warp® is a complete CPLD development package. It provides flexible design entry, optimized synthesis, efficient fitting, and powerful simulation and analysis tools for all of Cypress's programmable logic chips. 95/98/ME/NT/2000/Solaris
PSoC <sup>TM</sup> MCU NSE/NCP	PROM Software

WARP איור 1: מסך ההתקנה של

בהמשך, ימצא הקורא תקציר מהיר כיצד לעבוד עם הכלים הנייל.

#### מנהל סביבת הפיתוח - GALAXY

העבודה כולה נעשית תחת מנהל סביבת הפיתוח (IDE). כלי זה מספק עורך טקסט מתקדם המתאים לשפות VHDL ו VERILOG. בנוסף, הכלי מאפשר קריאה לשאר מרכיבי מתקדם המתאים לשפות VHDL ו VERILOG. בנוסף, הכלי מאפשר קריאה לשאר מרכיבי המערכת: סינתיסייזר, סימולטור, FITTER וכד׳. סביבת העבודה, הפועלת במתכונת של פרוייקט, מאפשרת שליטה מלאה בכל מרכיבי המערכת דרך כלי מרכזי אחד. לשם כך, רצוי ליצור עבור כל פרוייקט מאפשרת שליטה מלאה בכל מרכיבי המערכת דרך כלי מרכזי אחד. לשם כך, רצוי ליצור עבור כל מאפשרת שליטה מלאה בכל מרכיבי המערכת דרך כלי מרכזי אחד. לשם כך, רצוי ליצור עבור כל הקבצים השייכים לפרוייקט זה. ועתה לעבודה. הרץ את DIRECTORY משלו, אשר בו ישמרו כל הקבצים השייכים לפרוייקט זה. ועתה לעבודה. הרץ את START העריט התחל של חלונות (START). בכדי לבנות פרוייקט חדש, בחר בתפריט START (ראה חץ) את האופציה NEW וקבל את המסך המופיע באיור 2. סמן את האופציה הרץ הו איז רכיב חדש (האפשרויות האחרות האחרות הו יצירת קובץ מקור חדש או ספריה מקומפלת חדשה, כפי שנראה בהמשך) ולחץ OK.



איור 2 : מסך בחירת פרוייקט חדש

במסך המתקבל, המופיע באיור 3, קובעים את נתוני הפרוייקט. סמן את טיפוס הפרוייקט VHDL. בחר שם לפרוייקט (בחר שם בעל משמעות). קבע את מיקום הפרוייקט, כלומר, את הכונן והמחיצה בה יאוחסנו הפרוייקט והקבצים הנלווים אליו. הקפד על מיקום אותו אתה מזהה והניתן לגיבוי. בדוק האם יש לך רישוי מלא במיקום זה של הכונן או הרשת (במעבדה יש להקפיד לשמור רק במחיצה הלא משוחזרת). רצוי מאד להקפיד על שמירה של פרוייקט אחד בלבד במחיצה נתונה ולא לערבב מספר פרוייקטים במחיצה אחת. להמשך הקש הקש .

Project Information		<u>?</u> ×
	Project Type	
TES 1	Project Name: Tutorial	
	Project Path: F:\Courses\HANDASA\VHDL\Warp\Example	Browse
	< Back, Next >	Cancel

איור 3 : מסך נתוני פרוייקט חדש

## המסך המתקבל מופיע באיור 4.

Add Files to Project		? ×
Files in the Project directory: Tutorial.vhd	Files in the P	roject:
Add files by copying files from other di	Remove	Browse
You will be able to add files to the proj Files" menu item from the "Project" m	ect at a later stage of your design enu.	by selecting "Add
	< Back	Next > Cancel

איור 4 : מסך קבצי פרוייקט חדש

הפעולה במסך זה תלויה בסוג הפרוייקט החדש. ישנם שתי אפשרויות פעולה התלויות בשני מצבי הפעולה שהם:

. (VHDL פרוייקט חדש שעדיין אין לו קבצי מקור (לא כתבו עדיין את קובץ. 1

2. פרוייקט חדש שקבצי המקור שלו קיימים או מבוססים על פרוייקט אחר.

במקרה הראשון, הקש NEXT בכדי לעבור למסך הבא (תמיד תוכל לחזור למסך זה מתוך תפריט (Project). במקרה השני, סמן בצד שמאל את הקבצים הקיימים, אותם אתה רוצה לשייך לפרוייקט, והקש ADD. הקש NEXT. בכדי לעבור למסך הבא המופיע באיור 5.

במסך זה בחר את הרכיב אותו אתה מיעד לפרוייקט. ראשית בחר את המשפחה בחלון השמאלי (בתרגול זה בחר SPLD). מתוך המשפחה בחר את הרכיב המסויים הרצוי (בתרגול זה בחר את הרכיב C22V10). לסיום בחר, בחלון הימני, את האריזה והמאפיינים (פינים, תדרים, טמפרטורה וכד׳, בתרגול זה בחר PALC22V10-20PC). לסיום הקש FINISH. לשאלה האם ברצונך לשמור את הקובץ ענה בחיוב.

זהו זה. שלב ראשון עבר בהצלחה.

Select Target Device	? ×
Device: 	Package:
	<back cancel<="" finish="" td=""></back>

איור 5 : מסך בחירת הרכיב הרצוי לפרוייקט

בשלב שני צריך ליצור את קבצי המקור ולשייך אותם לפרוייקט. אנו נעבוד עם קובץ מקור אחד 2. בלבד ואותו ניצור כעת. בחר בתפריט FILE את האופציה NEW וקבל את המסך המופיע באיור 2. סמן את האופציה TextFile, כדי ליצור קובץ טקסט חדש (קובץ HDL הוא קובץ טקסט) ובחר OK. המסך המתקבל יראה כמו באיור 6.

🐫 Tutorial [Device -	- PALC22V10-20PC] -	Galaxy - [Untitled1]	_ 🗆 🗙
File Edit View	Format Project Com	pile Templates Bookmarks Tools Window Help	<u>– 8 ×</u>
]] 🗅 🚅 🗐 🎒   🐰 🗉	de 🖻 🎒 🖊 🐂 😘 d	幸倖居舊 ∭ ↑ ♥   ♥ 翁馨 ☺   ∓   №    □ ?	
🖭 📴 Source Files -	Project 1		
ניזור	м     Г	איזור עריכת הטקסט לקבצי	
שימת	rn 🛛 🔛 👘	המקור בשפת VHDL. כאן	
קבצים	ה      ה	המשתמש כותב את הקובץ שלו.	
שייכים	ה       ה		
פרוייקט.	ש		
•			•
So 🔼 Hi 🚺	no	<u></u>	
×	ע מקבל הודעות	איזור הודעות מערכת, באיזור זה המשתמש	
		שגיאה, הפעלה וכדי.	
	piler / Errors & Warnings /	Search in Files /	► ►
Ready		Line 1 Col 1	

איור 6 : מסך עריכת קבצי טקסט

באזור עריכת הטקסט כתוב את קובץ VHDL שלך לפי התבנית המצורפת (ראה איור 7). שמור את הקובץ בשם הרצוי לך (בתרגיל זה: Tutorial.vhd) במחיצת הפרוייקט כפי שהוגדרה בהתחלה.

חשוב מאד - הקובץ חייב להיות בעל סיומת VHD ועליך לכתוב זאת באופן מפורש (לדוגמא: MyProg.vhd). אי הוספת הסיומת VHD תגרום, בהמשך, לפעולה בלתי תקינה של המערכת. שם לב שלאחר השמירה בשם בעל סיומת VHD, המילים השמורות של השפה מסומנות בצבע כחול. במקרה והסיומת לא תקינה המילים לא יסומנו בצבע שונה.

אם פעלת כשורה עליך לקבל את המסך המופיע באיור 7. שם לב לכותרת החלון בה מופיעים : שם הפרוייקט, שם הרכיב ושם קובץ המקור.

📲 Tutorial [Device - PALC22V10-20PC] - Galaxy - [Tutorial.vhd]	. 🗆 🗙
File Edit View Format Project Compile Templates Bookmarks Tools Window Help	. 8 ×
<b>□ ☞ 묘 @</b>   ¾ № № ₩ ₩ ₩ ₩ ₩ # ₽ Ε Ε Ε <b>   + +  </b> ♥ % ₩ <b>Θ   ∓  </b> ₩   <b>  □ ?</b>	
<pre>1 library ieee; 2 use ieee.std_logic_1164.all; 3 entity MyFirstProg is port( 4 IN1, IN2: in std_logic; 5 6 7 OUT1, OUT2: out std_logic 8 9 10 ); 11 end MyFirstProg; 12 13 architecture DataFlow of MyFirstProg is 14 begin 15 OUT1 &lt;= IN1 AND IN2; 16 OUT2 &lt;= IN1 OR IN2; 17 end DataFlow;</pre>	
Compiler (Errors & Warnings ) Search in Files /	•
Save the active document Line 16 Col 24	

איור 7: החלון המרכזי לאחר עריכה ושמירה

לסיום עלינו לצרף את קובץ המקור לפרוייקט (שם לב שבאיזור רשימת הקבצים אין קבצים לסיום עלינו לצרף את קובץ המקור לפרוייקט (שם לב שבאיזור רשימת הקבצים אין קבצים המשוייכים לפרוייקט). בתפריט Project בחר Add File וקבל את המסך שמופיע באיור 4, עליו דילגנו בשלב המוקדם. סמן את הקובץ הרצוי ולחץ ADD. לסיום הקש OK. אם הפעולה בוצעה כראוי, הקובץ יופיע באיזור הקבצים. סמן את הקובץ ובלחיצת עכבר ימנית קבע אותו כקובץ הראשי ע*ייי* (Set Top. זהו זה!. אנו מוכנים לשלב הבא - סימולציה או סינתיזה.

👫 Tutorial [Device - PALC22V10-20PC] - Galaxy - [Tutorial.vhd] - 🗆 🗙 🖺 File Edit View Format Project Compile Templates Bookmarks Tools Window Help \_ & × □ ☞ ■ ❹ | 氷 釉 釉 魯 | 桷 确 偽 徳 徳 徳 彦 医 || ↑ ▼ | 9 இ 巻 Θ || 주 || ▲ || □ ?| Source Files - Project

Tutorial vhd
MyFirstProg

DataFlow

Rom Files 1 library ieee; • 2 use icee.std\_logic\_1164.all; 3 entity MyFirstProg is port( 4 IN1, IN2: in std\_logic; 6 OUT1, OUT2: out std\_logic 10 ); 11 end MyFirstProg; 12 13 architecture DataFlow of MyFirstProg is 13 droniet 14 begin 15 OUT1 <= IN1 AND IN2; 16 OUT2 <= IN1 OR IN2; 17 end DataFlow; J. ø • 🖹 So... 💦 Hi... 🖹 O... Tutorial.vhd . Compiler (Errors & Warnings ) Search in Files / Line 16 Col 24 Ready

איור 8: המראה הסופי של חלון העורך בו מופיעים: רשימת הקבצים, קובץ המקור בשפת VHDL וחלון הודעות המערכת.

## <u>WARP - סינתיסייזר</u>

הסינתוז וההשמה (FITTING) נעשים ע״י כלים חיצוניים שמורצים, בצורה שקופה למשתמש, ע״י העורך GALAXY. על המשתמש לבחור את הרכיב הרצוי מתוך תיבות בחירה, למלא את הפרמטרים הרצויים לסינתזה בתוך חלון מתאים ולהריץ. GALAXY יקרא לכלי המערכת בצורה סדרתית, עם הפרמטרים המתאימים, ויודיע על כך בחלון ההודעות. תוצאות ההרצה גם הן תופענה בחלון ההודעות, כלומר, אם היו שגיאות הן תופענה בחלון ולחיצה עליהן תמקם את הסמן על מקום השגיאה בקובץ המקור. אם הכול תקין תתקבל הודעה על כך.

ועתה הבה נסנטז. בתפריט Project בחר Compiler Options וקבל את החלון המופיע באיור 9. מלא את תיבות הבחירה בהתאם למוצג באיור ובחר OK.

Compiler Options	?×				
Synthesis Messaging					
Goal	Tech Mapping				
Area	Float Pins				
C Speed	Float Nodes				
Optimization Effort	🗖 Retain XOR's				
None	Factor Logic				
Normal	🔽 Keep Polarity				
C Exhaustive	🗖 Disable Latch Synthesis				
	🗖 Global Low Power Mode				
	Choose FF Type				
🗖 Disable Bus-Hold	OD OT OOptimal				
Voltage:	Node Cost: 10 💌				
© 3.3∀ . € 5.0V					
Default Slew Rate:	Simulation				
C Fast C Slow	Timing Model:				
Unused Outputs:	1164/VHDL				
01 00 @Z	Enable Testbench Output				
	OK Cancel				

איור 9: חלון בחירת האפשרויות לסינתיזה

תפריט הבחירה לסימולציה (Simulation) קובע את פורמט קובץ הפלט לסימולציה. ניתן לבחור פורמטים שונים, אך אנו נשתמש במודל VHDL גם לסימולציה. אם לא רוצים בשלב זה פלט לסימולציה אפשר לבחור בשדה זה NONE. להרצת סינתיזה לחץ על המקש F<sub>7</sub> ועקוב אחר ההודעות בחלון ההודעות. אם הכל כשורה ואין שגיאות מסוג כל שהוא אמורים לקבל את המצב המופיע באיור 10.



איור 10 : תוצאות הסינתיזה

בשעה טובה !. יש לך רכיב חדש שיצרת בשפת VHDL. חפש במחיצה של הפרוייקט קובץ בעל סיומת JED. קובץ זה מיועד לצריבת הרכיב האמיתי, כפי שנעשה בהמשך הקורס. עבור על תוצאות הסינתיזה בקובץ הדו״ח שהסינתיסייזר מפיק. כדי להגיע לקובץ הדו״ח הקש על הלשונית הימנית באיזור הקבצים - Output Files View (ראה חץ באיור 10) וסמן את הקובץ Tutorial.rpt. בדוק את חלוקת הפינים (Pinout), ניצול המשאבים (Utilization), והמישוואות הבוליאניות (Equations).

ועתה נעבור לסימולציות.

### Active HDL - סימולטור

ניתן לבצע סימולציה בשתי רמות :

- 1. סימולציה בקוד מקור, חסרת זמנים, הבודקת את האלגוריתמיקה של המודל ללא קשר לרכיב. סימולציה כזו ניתן באופן עקרוני לבצע עוד לפניי הסינתיזה.
- 2. סימולציה ברמת שערים (RTL) לאחר סינתזה, המפיקה תוצאות אמיתיות המתחשבות בנתוני הרכיב הנבחר ובזמני המעבר שלו.

הארה חשובה - יתכן מאד שסימולציה בקוד מקור תעבור קומפילציה, תתן תוצאות נכונות בפלט, ולמרות זאת לא תעבור סינתיזה בהמשך. סיטואציה כזו יכולה להתרחש מחוסר משאבים ברכיב או באי התאמת הארכיטקטורה שלו למודל. לעומת זאת, תוצאות הסימולציה ברמת השערים נותנת תוצאה כמעט וודאית התואמת את פעולת הרכיב הצרוב.

אם כך, הבה נתחיל בסימולציה בקוד מקור (ללא זמנים) ונכיר אגב כך את הסימולטור. מתוך תפריט Tools הרץ את Mctive-HDL Sim וקבל את המסך המופיע באיור 11.

🕼 Active-HDL Sim (Tutorial) - Waveform5	
File Search View Design Simulation Waveform Tools Help	
📴 🗃 ី 🧝 🐨 💭 🕸 🕨 🕨 📐 100ns 📑 😽 No simulation	
- <mark>Open VHDL file for simulation</mark>    人 哈 尼 レ つ   及 Q ユ 版   免 Q Q   物 い   ゴ 匹   純 い   人 % % %	
Name Value Stimulator 20 40 60 80 100 . 120 .	140 i 160 i 180 i 200 i 220 ns
איזור הגרפים איזור הגרפים איזור הגרפים שפיקט איזור הסיגנלים שפיקט איזור הגרפים שפיקט איזור איזור איזור איזור איזור איזור שפיקט איזור איזור איזור איזור איזור איזור שפיקט איזור איזור איזור איזור איזור איזור איזור איזור שפיקט איזור איז איזור איז איז איזור איזור איזור איזור איזור איז	ial\Tutorial.adf"
<ul> <li>Compile Entity "MyFirstProg"</li> <li>Compile Architecture "DataFlow" of Entity "MyFirstProg"</li> <li>Top-Level unit detected</li> <li>Entity =&gt; MyFirstProg</li> <li>Compile success 0 Errors 0 Warnings Analysis time : 0.1 [s]</li> <li>ELBREAD: Elaboration process.</li> </ul>	איזור הודעות מערכת
<pre>ELBREAD: Elaboration time 0.0 [s]. &gt; Console / ♣ Find &gt; ♦ Compilation &gt; ► Simulation /</pre>	

Active-HDL איור 11: הסימולטור

במסך המרכזי טען את קובץ המקור שלך (אותו קובץ שערכת קודם ע״י GALAXY). לחץ על לחצן פתיחת קבצי מקור (מסומן בחץ באיור 11) וקבל את המסך המופיע באיור 12. מצא באופן ודאי OPEN את המחיצה בה אתה עובד, סמן בתוכה את הקובץ שלך (בדוגמא זו Tutorial.vhd) והקש באיזור המערכת יופיעו הודעות על קומפילציה, אם הקובץ תקין המערכת תודיע על כך, אחרת יופיעו הודעות שגיאה.

Open					? ×
Look in: 🔁 E	xample	•	🗢 🖻 💣		
Dic22∨10 vhd MyProg.vhd Tutorial.vhd Type: Te Size: 293	×t Document ) bytes				
File name:	Tutorial.∨hd			Open	
Files of type:	*.∨hd		•	Cancel	

איור 12 : חלון בחירת הקובץ לסימולציה

מתוך תפריט Waveform בחר Add Signals וקבל את החלון המופיע באיור 13. סמן בצד ימין את כל הסיגנלים ולחץ על ADD. הסיגנלים שסומנו יופיעו באיזור הסיגנלים שבמסך הראשי.

Add Signals				? ×
/	4	l object(s)		
👎 💷 Root :		Name	Value	
Iine_15		₽ IN1	Unavailable	
▶ line_16		₽ IN2	Unavailable	
std.standard Piece std.logic 1164		• 0UT1	Unavailable	
		■ OUT2	Unavailable	
	Add	Cancel		

איור 13 : חלון בחירת הסיגנלים

לאחר הוספת הסיגנלים, המסך הראשי אמור להראות כמופיע באיור 14.

Active-H	DL Sim (Tu	itorial) - Wave	eform5 *	form Toolo	Liele						_	□×
The Search		esign simulau	Jon wave		пер							
	∰    ₩	⊗   ♥   ► ▪	N 🛓 100ns	: <u>-</u> •	No sim	ulation						
	1				1	1						» ×
]  X 🖻 🖬	🗠 🗠    🕻	3 Q ↔ 🕅	ଷ୍ପ୍ର୍	*‴ \/   ⊅″ 1	≞ ] #4 •*	🔺 淃	<b>% %</b>					
Name	Value	Stimulator	20	i 40 i 60 i	a 80 a a	100 - 1	120 i 140	) i 1 <u>6</u> 0	ı 180	i 200	) <sub>1</sub> 2 <u>2</u> 0	ns
► IN1												
₽ IN2												
-> OUT1												
-> OUT2												
🕰 waveform	6_/		•							•	40	*
<pre>* Design * Design • Design • Compil • Compil • Compil • Compil • Compil • Top-Le • Entity • Compil • ELBRE/ • ELBRE/ • ELBRE/ • Comsil</pre>	n: 9:32 AN 1: Opening Lation wit F:\Course Le Entity Le Archite te Archite vel unit y => My Le success D: Elabor D: Elabor Sole	I, Sunday, C g design "F: ch file reor cs\HANDASA\V "MyFirstPros cture "Data detected FirstProg c O Errors O cation proce ation time Find ) €	Ctober 26 \Courses\ der HDL\Warp\ g" Flow" of Warnings ss. 0.0 [s]. Compilation	, 2003 HANDASA\VHD Example\Tut Entity "MyF Analysis )► Simulatio	L\Warp\E orial.vh irstProg time : n_/	xample\ d " D.1 [3]	Tutoria	l\Tutor	cial.ad	lf"		
Ready												11.

איור 14 : המסך הראשי לאחר הוספת הסיגנלים

קדימה בואו נתקדם. כעת צריך להכניס ערכים לסיגנלי הכניסה (INPUTS). סמן את IN<sub>1</sub> ובחר מתוך תפריט Waveform את האפשרות Stimulators. אתה אמור לקבל את המסך המופיע באיור 15. 10 MHz את תיבות הבחירה בתוך החלון לפי המסומן באיור 16. כלומר, בחר Clock בתדר של 10 MHz ולסיום הקש APPLY. אם פעלת כשורה הסיגנל יופיע במסך הראשי. חזור על הפעולה עבור IN<sub>2</sub> אך הפעם קבע את התדר ל 5 MHz.

כפי שוודאי ראית, ישנם סוגי סיגנלים נוספים. כמו כן ישנם פרמטרים לכל סיגנל. כדי לקבל אינפורמציה מלאה על כל האפשרויות סמן עם העכבר את התיבה עליה אתה רוצה מידע ולחץ על המקש F<sub>1</sub>. מייד תקבל חלון המכיל אינפורמציה מלאה לגבי התיבה המסומנת.

Stimulators			? ×
Signals Hotkeys Predefined			
Signals: Name Type	Stimulator type:	Strength:	T
☐ Display paths	Apply		
			Close

## Stimulators איור 15 : חלון ה

Stimulators		? ×
Signals Hotkeys Predefined		
Signals:	Stimulator type:	Strength:
Name Type	Clock	v Override 💌
✓ IN1 Clock	Clock Custom Formula Hotkey Predefined Value I Freq	50 %
Display paths	Apply	
		Close

(clock איור 16 : חלון בחירת סוג הסיגנל (במיקרה זה

קדימה כמעט סיימנו.

במסך הראשי, סמן את זמן הסימולציה הרצוי (בהרצה זו no 1000), בחלון התיבה המתאימה (ראה חץ באיור 17). **להרצת סימולציה לחץ על המקש F**5. לאחר זמן קצר תוצאות הסימולציה יופיעו באיזור הגרפים של החלון המרכזי. כפי שניתן לראות באיור 18, המוצאים מקיימים את המודל הבוליאני שכתבנו בקובץ המקור (שערי AND ו AND). אם זאת, הסימולציה אינה משקפת את הזמנים האופייניים לרכיב הנבחר (סימולציה בקוד מקור).

🌰 Active-H	DL S	Sim (Tutorial)	- Wave1.awf*				
File Search View Design Simulation Waveform Tools Help							
12 🗃 🔁	🞏 🗃 🖬 🌾 📃 😵 😂 🕨 🕨 🛓 1000ns 🚔 ؇ 🛛 No simulation						
			» ×				
X @ <b>C</b>	<b>k</b> 2	Sa   <b>D ∂</b>   ≥	┺ᢂ Q Q Q 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1				
Name	V	. Stimulator	, 50 , 100 , 150 200 250 , 300 , 350 , 400 , 450 , 500 , 550 , 600 ns				
₽ IN1	1	Clock					
₽ IN2	1	Clock					
	1						
● OUT2	1						
Waveform	1	🥵 wavel awf					
		in indicition					
<ul> <li>ELBREA</li> <li>ELBREA</li> </ul>	LD:	Elaboration	process.				
C SELBREAD: Elaboration time 0.0 [s].							
© Console /♣ Find /෯ Compilation /							
кеаау							

#### איור 17 : הרצת סימולציה

🦺 Active-HDL	Sim (Tutorial) - 1	Waveform5 *			_ 🗆 ×		
File Search	View Design Sir	mulation Waveform T	"ools Help				
🛛 😂 💕 🖬 🛛 🕱	X 📃 🛛 🕸	▶ ▶ ▶ ▶ 1000ns 📫	<b>€</b> 1us+1				
					» ×		
≵ 🖻 🖻   ⊭	🤊 🖘 🔀 🔍 🕰	㎞   � ♀ ♥   ☜ ₪	] == 11E   🏘 🕫   🔺 % %	×.			
Name V	/ Stimulator	i (100 c i (200 i	300 cm c 400 m 500 cm c 6	600 i 700 i i 800 i i	1000 ns		
▶ IN1 0	) Clock _						
► IN2 0	) Clock _						
- OUT1 0	)						
	) <u> </u>						
		(					
J waveform5							
	]						
Selected	l Top-Level: My	FirstProg (DataFlow	1)				
· KERNEL:	stopped at tim	e: 1 us			_		
©							
		is contracted by an					
кеаду				Ln 23, Col 1	///		



הבה נמשיך בסימולציה בקוד RTL המשקף את הזמנים של הרכיב הנבחר. נחזור על ההליך שביצענו קודם עבור קובץ המקור, אך הפעם נטען את קובץ מודל RTL שגם הוא כתוב בשפת VHDL.

לחץ על לחצן פתיחת קבצי VHDL (מסומן בחץ באיור 11) וקבל את המסך המופיע באיור 19. מצא באופן ודאי **את המחיצה בה אתה עובד**. בתוך מחיצה זו כנס לתוכך מחיצת VHD (ראה חץ סימון באיור 19). במחיצת VHD סמן את הקובץ ששמו כשם הקובץ המקורי שלך (זה קובץ אחר בעל שם זהה, שהסינתיסייזר יצר, ובו כל נתוני הזמנים) והקש OPEN. באיזור המערכת יופיעו הודעות על קומפילציה, אם הקובץ תקין המערכת תודיע על כך, אחרת יופיעו הודעות שגיאה.

Open			? ×
Look in: 🔂	Example	📩 🗗 🔶 💌	<b></b>
☐ Ic22∨10	לחפש במחיצה זו לא הקובץ הזה –––– ext Document 3 bytes		
File name:	Tutorial.∨hd		Open
Files of type:	*.vhd	•	Cancel

איור 19 : פתיחת קובץ RTL מסונתז

חזור על כל הפעולות שביצעת בסימולציה בקוד מקור. והרץ סימולציה של ns ו000 אם הפעולה בוצעה כראוי תקבל את המסך המופיע באיור 20. התבוננות באיזור הגרפים מראה שתגובת המוצא למבוא מושהית ב ns 20 ns (ראה את הזמן המחושב בין הסמנים). בדוק את נתוני הרכיב שבחרנו - PALC22V10-20PC. הרכיב מאופיין בהשהיית שערים של ns 20, בהתאמה מלאה לנתוני הסימולציה.

זהו, כאן סיימנו תדריך זה.

שיהיה בהצלחה בהמשך התרגילים.

🕼 Active-HDL Si	im (Tut	torial) - '	Waveform	2 *					_	□×
File Search View Design Simulation Waveform Tools Help										
🛛 🎦 📽 🔛 🛛 🗱		3   🕸	► ► <u>►</u>	1000ns 📫 📢	1	us+2				
										» ×
X @ @   0⁄	S	Q 4	<b>∖</b> ∎ ] €, Q	<b>Q</b> ] 🐿 🗤 ] 🗉	I II.± ] 🏘	1! ] 🔺 % 🖇	* *			
Name	Value	Stimu	780 , 80	i0 , 820 040 820 ns L	i 860 i	880 i 900	i 9 <u>2</u> 0 i 9	940 i 960	i 980 i	ns
⊳ in1	0	Clock								-
P in2	0	Clock								
🗢 out1	0									
🗢 out2	0									
			20 ns	⊷→ <u>820</u>						
			80	0						
			•						• • •	+
📓 waveform2 /										
<ul> <li>KERNEL: Ke</li> <li>9:08 PH, t</li> <li>Simulation</li> <li>Selected 7</li> <li>KERNEL: st</li> <li>Console</li> </ul>	ernel ; Wednes n has l Top-Le <sup>s</sup> topped	process day, Oc been in vel: my at tim Find	initiali tober 29, itialized firstprog e: 1 us } Comp	zation done. 2003 ( (DSMB) Hation ) > Simula	tion_/					
										11.

איור 20 : תוצאות סימולציה של רכיב מסונתז