

תרגיל מס' 1 א' VHDL

מרצה - פרופסור אלי פלקסר

הכרות ראשונית – מודלים בוליאניים

כל הפתרונות בדף זה יעשו על ידי הצבות בוליאניות פשוטות. לשם כך עליך לחשב קודם את הפונקציות הבוליאניות בדרך המסורתית, ולאחר מכן להציבם בארכיטקטורה.

1) השתמש בתבנית מוכנה (גם אם עדיין לא למדנו את מרכיבי השפה הפשוטים), כדי לסנתז שערים לוגיים מהסוגים הבאים: AND, OR, NOT, NAND, NOR, XOR, NXOR. השתמש בתוכנת WARP ורכיב מסוג 37128, בחן את קבצי הפלט הרלוונטיים. בדוק את הסינתזה ע"י סימולציה בתוכנת Active HDL.

2) ממש BCD to 7 Seg. השתמש בתוכנת WARP ורכיב מסוג 37128, בחן את קבצי הפלט הרלוונטיים. בדוק את הסינתזה ע"י סימולציה בתוכנת Active HDL.

3) ממש מקודד בינארי 8 ל 3. השתמש בתוכנת WARP ורכיב מסוג 37128, בחן את קבצי הפלט הרלוונטיים. בדוק את הסינתזה ע"י סימולציה בתוכנת Active HDL.

4) ממש מפענח בינארי 3 ל 8. השתמש בתוכנת WARP ורכיב מסוג 37128, בחן את קבצי הפלט הרלוונטיים. בדוק את הסינתזה ע"י סימולציה בתוכנת Active HDL.

תבנית לדוגמא:

```
library ieee;
use ieee.std_logic_1164.all;
entity MyFirstProg is port(
  IN1, IN2: in std_logic;
  *
  *
  OUT1, OUT2: out std_logic;
  *
  *
);
end MyFirstProg;

architecture DataFlow of MyFirstProg is
begin
  OUT1 <= 1 פונקציה ;
  OUT2 <= 2 פונקציה ;
  -- Insert here any assignment you need.
  *
end DataFlow;
```

<= אם ברצונך לצרוב את הקובץ לרכיב על כרטיס הפיתוח, עליך לקרוא את החוברת המופיע באתר הקורס בדף: Ultra37K-EVB תחת הכותרת Tutorial.

תרגיל מס' 1 ב' VHDL

מרצה - פרופסור אלי פלקסר

אופטימיזציה בסיסית

1. **חשוב מאד!** ממש מעגל גזירה דיגיטלי פשוט מהסוג $Y \leq X \text{ and not } X$ סנטז לרכיב מסוג 37128 ובחן את קבצי הפלט הרלוונטיים. בצע סימולציה לפני סינטיזה ואחרי סינטיזה, האם התקבל מעגל גזירה? לפני? אחרי? הסבר! חזור על המודל ע"י סיגנל ביניים:

$Z \leq \text{not } X.$

$Y \leq X \text{ and } Z$

סנטז את המודל ובדוק שוב את התוצאות והסימולציה. בטל אופטימיזציה וחזור על הסינטז והבדיקה. הסבר לעצמך מה פשר התוצאות שהתקבלו! הוסף לקוד פקודה מתאימה (AFTER) שתאפשר סימולציה בקוד מקור של מעגל הגזירה. שנה את הפרמטר של הפקודה לערכים שונים וראה כיצד זה משפיע על הסימולציה לפני סינטיזה ואחרי סינטיזה. מה המסקנות שלך מכל התהליך.

2. **חשוב מאד!** ממש מעגל של רצף שערי AND המשורשרים על סיגנלים קודמים מהצורה:

$C \leq A \text{ and } B$

$E \leq C \text{ and } D$

$G \leq E \text{ and } F$

$Y \leq G \text{ and } H$

בצע סימולציה בקוד מקור ובחן את תוצאותיה – מה המסקנות? סנטז את המודל לרכיב מסוג 37128 ובחן את קבצי הפלט הרלוונטיים. בדוק את המשוואות המתקבלות ואת תוצאות הסימולציה לקובץ המסונטז. בטל אופטימיזציה וחזור על הסינטז והבדיקה. הסבר לעצמך מה פשר התוצאות שהתקבלו! על פי התוצאות, עדיף לעבוד עם אופטימיזציה או בלי. בהמשך הקורס נראה השלכות עצומות לתוצאה זו.

דף תרגילים זה - למרות פשטותו - חשוב מאד להבנה של מהות הסימולציה והסינטיזה במערכות הפיתוח של שפות החומרה. חשוב לעבור ולהבין כל שלב ושלב בתרגיל.