

תרגיל מס' 4 VHDL

מרצה – פרופסור אלי פלקסר לוגיקה סדרתית - אוגרים ומונים

1. תכנן JK Flip Flop, הפועל בעליית שעון, בעל כניסות RESET ו PRESET אסינכרונית. השתמש בתכנת WARP ורכיב מסוג 22V10, בחן את קבצי הפלט הרלוונטיים. בדוק את הסינתזה ע"י סימולציה בתכנת Active HDL. למה הסינטז לא מצליח? מה ניתן לעשות.
2. תכנן אוגר הזזה שמאל ימין בעל שמונה ביט. למונה תהיה כניסת איפוס אסינכרונית וכניסת כיוון DIR, הקובעת את כיוון ההזזה. למונה יהיו מבוא ומוצא טוריים המשנים את כיוון הזרימה בהתאם לכיוון הנבחר, במילים אחרות, בהזזה ימינה IO₁ יהיה מבוא ו IO₂ מוצא, ובהזזה שמאלה להפך. עשה סימולציה מלאה על הבס כולל שינוי כיוון זרימת הנתונים.
3. תכנן מונה עולה / יורד 8 ביט המאפשר הטענת ערך למונה דרך היציאות (בס דו כיווני). כלומר, מוצא המונה ישמש הן כמוצא והן כמבוא להטענת ערכים למונה, כניסה UD תיקבע אם המונה יספור מעלה או מטה. בקרת LD תקבע את כיוון הנתונים על הבס. עשה סימולציה מלאה על הבס כולל שינוי כיוון זרימת הנתונים.
4. חזור על התרגיל הנ"ל אך הפעם למונה יהיה אוגר פנימי נוסף - DIV - בעל 3 ביטים אשר יקבע 8 יחסי חלוקה שונים, לפי בחירתך. אוגר זה יטען דרך שלושת הביטים הנמוכים של הבס ע"י קו בקרה מתאים LA. במקרה זה המונה סופר רק מעלה. לדוגמה, אם DIV = 000 אז המונה מחלק ב 256, אם DIV = 001 המונה יחלק ב 100, וכן הלאה. אתה ראשי לבחור את יחסי החלוקה כרצונך או להשתמש בטבלה המצורפת.

DIV	חלוקה
000	1
001	4
010	9
011	16
100	25
101	36
110	49
111	64

5. תכנן מונה עולה בעל 8 ביטים הסופר לפי סדרת פיבונצ'י.